

Gallium arsenide single crystal wafer has surfaces formed as a substrate for growing an n-type layer and a p-type layer by means of liquid phase epitaxy using silicon as amphoteric dopant

Patent Number: ☐ DE10036672
Publication date: 2001-02-15
Inventor(s): MORIWAKE TATSUYA (JP)
Applicant(s): SUMITOMO ELECTRIC INDUSTRIES (JP)
Requested Patent: ☐ JP2001048694
Application Number: DE20001036672 20000727
Priority Number(s): JP19990218257 19990802
IPC Classification: C30B29/42; C30B19/12
EC Classification: C30B19/12, C30B19/04
Equivalents: TW451308

Abstract

Gallium arsenide single crystal wafer has surfaces formed as a substrate for growing a GaAs- or AlGaAs-layer of n-type and a GaAs- or AlGaAs-layer of p-type by means of liquid phase epitaxy using silicon as amphoteric dopant. The surface opposite (100) is tilted by 0.02 deg - 0.2 deg . Preferred Features: The surface opposite (100) is tilted by 0.03 deg - 0.15 deg .

Data supplied from the esp@cenet database - 12

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開2001-48694

(P2001-48694A)

(13) 公開日 平成13年2月20日 (2001.2.20)

(51) Int.Cl.	識別記号	F I	テマコード(参考)
C 3 0 B	19/12	C 3 0 B	4 G 0 7 7
	29/42		5 F 0 5 2
H 0 1 L	21/20	H 0 1 L	5 F 0 6 3
	21/208		Z

審査請求 未請求 請求項の数4 O L (全 9 頁)

(21) 出願番号 特願平11-218257

(22) 出願日 平成11年8月2日 (1999.8.2)

(71) 出願人 000002130

住友電気工業株式会社

大阪府大阪市中央区北浜四丁目5番33号

(72) 発明者 森分 達也

兵庫県伊丹市昆陽北一丁目1番1号住友電

気工業株式会社伊丹製作所内

(74) 代理人 100079887

弁理士 川瀬 茂樹

Fターム(参考) 4G077 AA03 AB02 BE45 BE46 CB02

QA22 QA7B

5F052 KA05

5F053 AA01 AA22 AA33 BB52 DD03

DD05 FF01 GG01 HH01 KK01

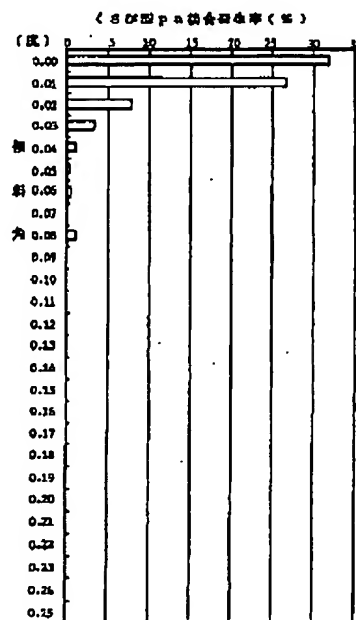
LL02

(54) 【発明の名称】 GaAs単結晶ウエハ及びGaAs液相エピタキシャルウエハ

(57) 【要約】

【目的】 両性不純物のSiを用いてn型、p型のGaAs、AlGaAs薄膜を(100)GaAs基板に成長させるときpn接合の高さが不適當であつたり2重になつたりした部分が発生しないようなGaAs基板を提供すること。

【構成】 (100)から0.02°～0.2°傾斜したGaAs基板、および(100)から0.02°～0.2°傾斜したGaAs基板を使用し、Si、GaAsを含むGa溶液を用いn型、p型のAlGaAs、GaAs層を液相エピタキシャル成長させたエピタキシャルウエハ。



(2) 開2001-48694 (P2001-4865)

【特許請求の範囲】

【請求項1】 Siをドーパントとしてn型とp型のGaAs又はAlGaAs薄膜を液相エピタキシャル成長させるためのGaAs単結晶基板であって、{100}面から $0.02^\circ \sim 0.2^\circ$ 傾斜していることを特徴とするGaAs単結晶ウエハ。

【請求項2】 Siをドーパントとしてn型とp型のGaAs又はAlGaAs薄膜を液相エピタキシャル成長させるためのGaAs単結晶基板であって、{100}面から $0.03^\circ \sim 0.15^\circ$ 傾斜していることを特徴とする請求項1に記載のGaAs単結晶ウエハ。

【請求項3】 {100}面から $0.02^\circ \sim 0.2^\circ$ 傾斜しているGaAs単結晶ウエハの上にSiをドーパントとしてn型とp型のGaAs又はAlGaAs薄膜を液相エピタキシャル成長させたことを特徴とするGaAs液相エピタキシャルウエハ。

【請求項4】 {100}面から $0.03^\circ \sim 0.15^\circ$ 傾斜しているGaAs単結晶ウエハの上にSiをドーパントとしてn型とp型のGaAs又はAlGaAs薄膜を液相エピタキシャル成長させたことを特徴とする請求項3に記載のGaAs液相エピタキシャルウエハ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】この発明は赤外発光ダイオードを製造するために用いられるGaAsエピタキシャルウエハ（エピウエハと略す）に関する。赤外発光ダイオード（LED）はGaAs基板の上に作製される。本発明はGaAsエピタキシャルウエハに関するが、実際には前段階に工夫がなされる。エピウエハだけでは説明できない。だからGaAsデバイスの全製造工程を初めに簡単に述べる。GaAs単結晶インゴットはGaAs多結晶（或いはGa原料とAs原料から）から水平ブリッジマン（HB）法、垂直ブリッジマン（VB）法、或いは液体封止チョコラルスキー（LEC）によって製造する。種結晶の方位によって製造される結晶の方位を制御できる。この際低面指数方向、例えば{100}方向、あるいは{111}方向に成長させる。

【0002】ここで個別面方位は{...}により、集合面方位は<...>によって表現し、個別方向は[...]により、集合方向は<...>によって表現する習わしである。低面指数の方位から傾斜した表面を持つウエハはオフアングルウエハと呼ぶこともある。傾斜角 θ をオフアングルということもある。

【0003】インゴットを薄く切断したものがアズカットウエハである。デバイスを製造した後チップに切断するが、自然の劈開を利用するためウエハは{100}とする事が多い。GaAsの劈開面は{0-1-1}だから表面{100}と直交し劈開面同士も直交するからである。{100}アズカットウエハを機械研磨、ラッピング、エッチング等によってミラーウエハとする。Ga

Asのウエハの上に不純物を含むGaAs層、AlGaAs層を液相エピタキシーによって形成してエピタキシャルウエハとする。ここまではウエハ製造業者によってなされる。デバイス製造業者はエピウエハを購入して、フォトリソグラフィ等により電極などを設けチップに切り出しパッケージに収容して赤外LEDとする。

【0004】本発明はエピウエハを製造する段階の改良に関する。それも不純物の種類に限定がある。GaAsエピウエハを製造するにはn型不純物とp型不純物を異なる層にドーブするという方法もある。しかし、ここでは両性の不純物であるSiをドーブすることを前提にする。異なるp型、n型不純物をドーブする場合は問題にならないことがSiをドーパントとする場合に深刻な問題となる。しかし、本発明はエピウエハの段階ではなされず、その前のウエハ製造の段階でなされる。

【0005】

【従来の技術】GaAsウエハはジャスト{100}面を持つものとして製造される。実際には誤差が伴うからトレランス δ をもたせた{100} $\pm\delta$ として要求仕様が与えられる。あくまで{100}ジャストが最上である。それから $\pm\delta$ の方位の狂いは甘受するということである。

【0006】特開昭57-1221号「モノリシック複合半導体装置とその製造方法」出願人：富士通株式会社、発明者：秋田健三、森生逸雄は、気相エビには{100}から3度～7度ずれたGaAsウエハが好適で、液相エビにはジャストのものが好適であり、ガンダイオードは気相、受光素子発光素子は液相で製造した方がよいので、一つのGaAsウエハの上に{100}の面と{100}+3°～7°の面を交互に作ると言っている。平坦面と傾斜面が混在するからウエハは段々になってしまう。複雑なウエハである。傾斜面には気相エビでガンダイオード、平坦面には液相エビで受光素子を作るとしている。トレランスとして $\pm 0.5^\circ$ を与えている。液相エビとしてはあくまで{100}ウエハが最上であり、ずれの角度として 0.5° までを許容するというわけである。

【0007】特開平7-302740号「液相エピタキシャル成長用GaAs単結晶基板」出願人：住友電気株式会社、信越半導体株式会社、発明者：笈田和彦、川崎真は、従来のGaAs基板がトレランスとして $\pm 0.5^\circ$ を許容してきたがそれは大きすぎる。 0.5° もずれると表面が荒れるので望ましくないと言っている。 0.5° にかえて 0.2° にトレランスを小さくすべきだと主張する。Znドーブp型{100}GaAs基板で{100} $\pm 0.2^\circ$ 、Siドーブn型{100} $\pm 0.2^\circ$ GaAs基板というものを提案している。用途は書いていないのでわからない。{100}ジャストが最上だという立場は変わらず、トレランスを狭くしているだけである。

(3) 開2001-48694 (P2001-4868)

【0008】③特開平9-18052号「エピタキシャルウエハ及び発光ダイオード」出願人：日立電線株式会社、発明者：柴田幸弥、水庭清治、佐々木幸男は、p型GaAs基板の上にp型クラッド層、p型活性層、n型クラッド層を積んで発光ダイオードを作ろうとする。表面反射型LEDのためにp型基板を用いると述べている。p型GaAs基板の上にp型GaAlAs層クラッド層、p型GaAlAs活性層、n型GaAlAsクラッド層をエピタキシャル成長させLED構造を作製した後、p型GaAs基板を研磨除去したら裏面から光を取り出すことができるようになる。②にもp型GaAs基板の例が述べてある。p型クラッド層が厚い(100μm以上)場合p型基板が(100)面ジャストであると、テラスをともなった波模様のモフォロジーが現れると述べている。その原因として、(100)ジャストの場合、結晶核の縦方向の成長が横方向の成長より速いので表面が段々になるのだと言っている。

【0009】「(100)であると…、核が発生するための階段部(キंक)が少なくなり、大きな過飽和度でないと成長しないが、大きな過飽和度の時に、一気に成長した後成長が停止し、さらにまた過飽和度が満たされた時点で、再成長するというような間欠的な成長機構になる。」

【0010】つまりp型基板にp型GaAlAsクラッド層をエピタキシャル成長させるとき(100)ジャストだとモフォロジーが悪く段々になると言っている。これを防ぐために、b軸[010]をa軸[100]方向へ0.25°~2°傾け、c軸[001]をa軸[100]方向へ0°~2°傾けたp型GaAs基板を使うべきだと主張している。合計の傾きは0.25°~2.8°である。こうするとエピタキシャル成長面(100μm以上のp型クラッド層)から波模様が消失したと述べている。これはp型GaAs基板に100μm以上のp型GaAlAsクラッド層を成長させる場合である。薄いエビ層を液相エビで成長させる場合は(100)基板がよいし、MOVPE(有機金属気相エビ)の場合は、(100)から1°以上傾いたGaAs基板を使うべきだと述べている。③は含蓄の多い明細書であるが、p型GaAs基板に薄い膜を液相エビ成長させる場合は表面状態に関し、(100)基板が最適だと言っているのである。

【0011】④特開昭59-117111号「化合物半導体の液相成長法」出願人：三菱電機株式会社、発明者：田中利夫、十河敏夫、高宮三郎は、n型GaAs基板の上に半導体レーザ(LD)を製造する場合の基板の改良を提案する。Siドープn型GaAs(100)基板の上にTeドープn型AlGaAsクラッド層、アンドープn型GaAs活性層、Geドープp型AlGaAsクラッド層、Geドープp型GaAsコンタクト層を液相エビ成長させるが、表面が小波、鱗状に乱れるとい

うことを問題にする。

【0012】さざなみ模様はn型GaAs基板と、Teドープn型AlGaAsクラッド層の間に発生すると述べている。LEDではなくLDであるから表面のさざなみは問題である。(100)ジャストで鱗状、小波状模様が出るという。そこでSiドープn型GaAs基板を(100)から1°傾けるのが良いと言っている。(100)+1°のSiドープn型GaAs基板の上に、Teドープn型AlGaAsクラッド層を成長させた場合、平坦な面となると述べている。一般に(100)+0.2°~5°が良いと言っている。

【0013】⑤特許第2914246号「エピタキシャルウエハおよび半導体発光素子」出願人：昭和電工株式会社、発明者：吉永敏は、n型GaAs基板の上にSiドープAlGaAs層を液相エピタキシャル成長させ、自然のドーバント反転によりpn接合を作製してLDとする際、GaAs基板を(100)から0.5°~5°傾けたものを用いるということを提案している。これは①~④と違い、両性不純物のSiを用いて1種類の不純物によってpn接合を作製している。この点で本発明と共通する。GaAs基板の面方位を(100)からずらす理由はイナズマ型サイリスタの発生を防ぐためである。直線状のpn接合から矢のように細いpn接合が斜め方向に飛び出した形状のpn接合異常を、形状にちなんでイナズマ型と呼んでいる。GaAs基板(100)にSiをドーバントとするAlGaAs層を成長させ、温度変化によってn型層とp型層を形成する自然反転法によりエビウエハを作るが、(100)ジャストの場合イナズマ型サイリスタができてしまうという。pn接合が2重になるから発光素子基板として使えない、これを防ぐために基板の面方位を(100)から0.5°~5°傾斜させるのである。5°以上傾斜させるとエビ表面に凹凸が発生して発光素子を作りにくいと述べている。0.5°より小さい傾斜角の場合、イナズマ型サイリスタが発生してしまうと述べている。0.5°の場合イナズマ型サイリスタはできるが、長さが50μmより短いので差し支えないという。

【0014】

【発明が解決しようとする課題】GaAsに伝導性を与えるためのドーバントはZn、Ge、Teなど幾つもあるが、それが置換する元素は決まっておらず伝導型はp型あるいはn型というように一義的に決まる。しかし、SiはGaサイトを置換するとn型に、Asサイトを置換するとp型になる。温度によって、いずれになるかということを決めることができる。どちらにでもなるから両性不純物という。温度によって伝導型が変わることを自然反転とも呼ぶ。

【0015】液相エピタキシャル法というのは原料を液体状にして結晶を接触させ熱平衡状態で結晶成長させる方法である。旧い方法であるが、LEDを作るには液相

(4) 開2001-48694 (P2001-4868)

エピタキシャル法が最適である。液相エピタキシャル法にも幾つかの種類がある。縦型のエピ法は数多くのウエハを水平にして上下に並べ容器に入れて容器に原料溶液を流し込んで溶液とウエハを接触させる方法である。50枚～100枚程度のウエハを一度に処理できる(例、特開昭59-128298)。横型の液相エピタキシャル法は、ウエハを収容した穴の有る板の上を流数の溶液溜を有するスライダが移動してゆき、ウエハと溶液溜を接触させて適当な温度にし液相で結晶成長を行う方法である。スライダの動きによってウエハと溶液を接触させることができる。これら以外にも独自の方法があるが、本発明はいずれの液相エピタキシャル法でも適用できる。

【0016】本発明は赤外LED基板としてのSiドープGaAsエピウエハを対象にする。AlGaAs、GaAsに対してSiは両性不純物であって温度条件によりn型にもp型にもなる。高温でn型に低温でp型になる。液相エピによってSiをドープすれば温度変化によって自然にpn接合を作る事ができる。n型不純物、p型不純物の別々の溶液溜が不要であって装置構造を小さくできる。以下にSiドープGaAsエピウエハの液相エピタキシャルによる製造方法の概略を述べる。金属Gaを溶媒とする。溶質は成長させるべき材料とドーパントであり、材料は飽和濃度になるように添加する。AlGaAs層を成長させる場合はAlGaAsが溶質になる。どちらでも同じであるが、ここでは溶質はGaAsとして説明する。ドーパントはもちろんSiである。図1はウエハ温度の時間変化を示すグラフである。

【0017】[SiドープGaAs-LPE法]

1. 横型の場合n型GaAsウエハは、操作板のウエハ収納穴に挿入してある。スライダにはGaAs、Siを飽和濃度で溶解したGa溶液が収容される。ウエハとGa溶液が離別した状態で炉を加熱して温度を上げる。成長開始温度(例: 950℃)に達してから一定時間の後(点a～b)、スライダを動かして、GaAs及びSiの飽和溶液とn型GaAs基板を接触(点b)させる。接触後1時間程度(b～c)そのままの温度を維持する。縦型の場合は、縦型カセットに100枚程度のGaAsウエハが水平に収容してある。これを容器に入れて、加熱したGa溶液を供給することによってGa溶液とGaAsウエハを接触させる。横型縦型いずれでも温度と膜形成に関してはほぼ同じことを行う。

【0018】2. 接触後、徐々に温度を低下させる。2℃/分～3℃/分程度である。Ga溶液の飽和濃度が低下するので、GaAs基板にSiを不純物として含んだGaAsエピタキシャル層が析出する(点cd)。GaAsエピタキシャル層の中のSiは、温度が高いときは主として結晶中でGaの位置に入るため、ドナーとなる。エピタキシャル層はn型となる。n型GaAsエピ層が成長する。GaAsウエハにGaAsとSi成分が

吸収され、溶液中のGaAs、Si濃度が下がる。温度を下げていくと、GaAsの飽和濃度も下がる。エピ成長によって下がるGaAs濃度と飽和濃度が等しくなるような温度制御をすれば恒に飽和を維持しながら液相成長させることができる。

【0019】3. やがてe点で反転温度Tc(約850℃)に至る。c～e間は約1時間ぐらいである。ここでSiの役割が反転する。これまでに成長したGaAsはn型、これから成長するのはp型GaAsになる。だから時刻eで露呈しているGaAs面がpn接合になるのである。

【0020】4. GaAsエピタキシャル層中のSiは温度Tが低い時(T<Tc)は主として結晶中でAsの位置に入るためアクセプタとなる。エピタキシャル層はp型となる。線cfgというように温度が下がり、その間にp型のGaAs層が成長する。

【0021】5. 所定の温度(Tg)まで冷却し、Ga溶液とGaAs基板を分離させる(g点)。この時点で成長は終了する。エピタキシャル層内にpn接合が形成されたウエハが得られる。

【0022】液相エピタキシャル(LPE)法、GaAs(100)面上で上記のような成長を行う場合、基板の面方位が(100)から大きくずれている場合は、成長後のエピタキシャル層表面にステップバンチングによる凹凸が形成される。この凹凸の存在によってウエハへの電極の形成が困難になる。だからGaAs基板成長面はなるべく(100)面に近いものを使用してきた。誤差のあるのは仕方がないが、最良の基板面方位は(100)なのである。より具体的にはGaAsインゴットを切断して基板を製作するとき、切断面の狙い中心は(100)ジャストの面とされてきた(例、特開平7-302740号)。

【0023】(100)ジャストの基板を使用したエピタキシャルウエハの断面を観察すると図2のようになっていることが分かった。これは一例にすぎず様々な場合がある。n型GaAs基板の上にn型GaAs層が形成され、さらにその上にp型GaAs層がある。線m線qに挟まれる部分がGaAs基板である。線qrに挟まれる部分がn型GaAs層である。線rsに挟まれる部分がp型GaAs層である。正常の場合線rは直線でなければならない。ところが、(100)ジャストの基板を使用したエピタキシャルウエハの場合線rは折れ線EFGHIJのように折れ曲がっている。

【0024】正常の場合n型GaAs層の厚みqrは36μmである。p型GaAs層の厚みは42μmである。つまり表面からpn接合の深さは42μmである。ところが、GHの部分ではpn接合がもっと上に偏っており表面から20μmになっている。代わりにn型層が厚くて56μmとなっている。GHにおいてpn接合が20μm上にずれているのである。厚み合計が2μm<

(5) 開2001-48694 (P2001-4865)

い違うが、測定誤差である。中央のpn接合が1重の部分(FI間)ではpn接合の高さが所定の値からずれている。これは電極を付ければLEDとなり得る。その両側の折れ線GF、IHの部分はもっと致命的な欠陥になっている。pn接合が3重になっておりn型層の間にp型層が一部入り組んでいる。p型層の間にn型層が一部侵入している。電極を付けてLEDとした場合、面と直角な方向に電圧が掛かるがGF、IHの部分は3重のpn接合のために、npnpという複雑な構造になる。LEDとするためにp電極に正、n電極に負の電圧を掛けても中間のpn接合が逆バイアスされて電流が流れない。電流が流れないから電子正孔対が作られない。バンド間遷移が起こらないので発光しない。npnp構造はサイリスタの構造と同じであるからサイリスタ構造と呼ぶことができる。

【0025】サイリスタ部分のGF、IHは不良である。この例ではGFの広さは600 μ m、IHは900 μ mである。中間のFIはサイリスタでなくてpn接合の深さが狂っているだけであるが、やはり不良である。その部分は2100 μ mの広さがあつた。するとpn接合異常による不良部分の長さGHはこの例では3600 μ mということになる。

【0026】このようなエピウエハの不良は特に(100)±0.02°未満の面方位を持った基板でエピタキシャル成長すると多く現れる。ここで0.02°というのはトレランスであり理想値は(100)ジャストなのである。

【0027】

【課題を解決するための手段】本発明は、Siをドーパントとして液相エピタキシャル法によってpn接合を有するエピタキシャルウエハを製造するための単結晶GaAs基板として(100)からの傾き角 θ が0.02°～0.2°であるものを用いるようにする(0.02° $\leq \theta \leq 0.2^\circ$)。n型GaAsインゴットからウエハを切り出す時に(100)ジャストを目指すのではなく、(100)から斜めに0.02°～0.2°の面で切断するようにするのである。傾ける方位は[110]でも[101]の方でも[111]の方位でも良い。どの方位も同等である。傾き角 θ を増やすとこのような不良部分の発生頻度が低下する。0.10°以上で殆ど0であると言える。0.2°以上なら完全に発生頻度は0である。

【0028】しかし、傾斜角 θ が大きいと表面のステップが著しくなり、LEDの電極を製作するのが難しくなる。ウエハプロセスを円滑に行うためには、やはり傾斜角 θ は小さい方がよい。それで傾斜の上限は0.2°程度とする。pn接合異常発生を抑制する効果のあるのは0.02°以上の θ である。角度をこのように指定するが、実際には製造誤差がありトレランスを与える必要がある。トレランス α を規定するのはインゴット切断装置

や技術力によるが、本発明の場合インゴット切断の狙い角はトレランス α 分を考慮して、0.02°+ α から0.2°- α だということになる。

【0029】

【発明の実施の形態】GaAsインゴットを切断するに際し、(100)ジャストから0.01°ずつ傾斜角 θ を0.25°まで増やしたウエハを切り出し、SiドーパGaAs層をエピタキシャル成長させpn接合構造の出現する頻度を調べた。図4にその結果を示す。縦軸は θ であり、0～0.25°の間で、0.01°刻みで測定がなされている。横軸は接合pn接合の発生率

(%)である。ウエハの全面において一つでもpn接合の異常があれば、それは1枚と数える。pn接合異常部の面積の大小に拘らず1つとするのである。

【0030】基板面方位が(100)ジャストの場合32%という高い接合pn接合発生率であった。(100)±0.01°の時にもpnくさびの発生率が高く27%もある。(100)±0.02°で8%であった。傾斜角 θ が0.02°を越えると接合pn接合の発生率が大幅に低下した。 θ が0.04°で1%程度である。 θ が0.05°の場合に0.4%に低下する。0.02°を越え0.25°までpn接合模の発生は殆ど見られなかった。

【0031】このように基板面方位が(100)からずれるほどpn接合異常は少なくなる。しかし、基板の面方位が0.2°を越えるとエピタキシャル表面が荒れ電極形成などが困難になる。傾きが大きいと基板表面の原子ステップの数が多くなり過ぎるため、エピタキシャル成長中にステップのバンチング(ひどく混み合う状態)が生じる。エピタキシャル成長終了後のエピタキシャル層表面にうろこ模様と、凹凸が発生する。このような荒れた表面状態では電極の形成が難しい。

【0032】以上の結果より、pn界面にくさび構造を生じさせず、かつ表面状態の良好な液相エピタキシャルウエハを得るためには、基板面方位を(100)面から0.02°～0.2°の角度を成すように切り出せばよいということが分かった。

【0033】上記のような異常なpn接合構造が形成される原因はいまだに明確でない。本発明者の推測を述べると次のようである。(100)ウエハの上のエピタキシャル成長の有り様を描いた図3によって説明する。

【0034】(1)横成長

ウエハの表面をABCDとする。(100)ジャストのウエハといっても全体で方位が(100)なのでなく方位が揺らいでいる。図3において中央部BCは(100)ジャストである。その両側AB、CDは(100)から少しずれているとする。同じ基板面上でも格子の彎曲ウエハの歪によって結晶方位が一樣でない。ここでは2乗歪があるものとしている。側方において基板方位が僅かでも(100)面から傾斜していると、その表面に

(6) 開2001-48694 (P2001-4865)

は無数の原子1個分の高さのステップ(階段)が存在する。ステップの上面は(100)である。高さHは原子1個分であるが、興行きSは1/φ個分の原子が並ぶような幅を持っている。

【0035】液相エピタキシャル法において、Ga溶液に飽和濃度のGaAs、Siが含まれるようにしているから、系の温度が下がるにつれてGa溶液はGaAs、Siなどの溶質に対し過飽和となる。その分のGaAs、Siが原子ステップの端(段部)から基板に取り付いてステップを広げるように結晶成長してゆく。それぞれのステップが横方向に伸びるような成長をするのである。段部から離れて孤立してGaAs原子やSi原子が吸着されることはない。GaAs基板上に析出してエピタキシャル層を形成するが、その時析出する物質はまず原子ステップに取り付いて成長する。そのためステップは析出物質(GaAs、Si)を取り込みながら横方向に成長してゆく。その横成長が積み重なることによって厚みをもったエピタキシャル層が形成される。

【0036】(2) 縦成長

(100) ジャストの部分BCにおいては成長開始しやすい原子ステップが存在しない。だから(100)の上にはなかなかGaAsが析出しない。飽和濃度では(100)に析出が起ころず、過飽和になるまで(100)面はそのままである。そのため、ステップがある場合に比べてより高い飽和度が必要となる。ある一定の飽和度に達すると、縦方向への成長が始まる。

【0037】縦成長と横成長の両者を比較すると段部なしの部分に吸着されるのだから、縦成長するためのエネルギーは横成長に必要なエネルギーよりも高いと推定される。そのため縦成長部では添加不純物であるSiをGaAs中のGaサイトにいれることによって、エネルギーを低下させていると考えられる。つまり、Siはn型ドーパントとなる。傾斜部AB、CDでも初めは温度が高いからSiはn型ドーパントである。ジャスト部BCでは縦成長が劣勢であるのに、傾斜部ABとCDでは横成長が速い速度で行われる。この横成長は外側に向かう微層成長である。傾斜面の傾斜θがきつてい程、段の密度(φに比例する)が高く横成長も速い。BCで成長が遅く、その両側で速いということは中央の平坦部BCが徐々に広がって行くということである。BCの長さが両側に拡大してゆくが、BC上での成長困難性は続く。やがて温度が反転温度Tcに達する。傾斜部AB、CDではSiがAsサイトを置換するようになる。ところが、平坦部BCでは成長速度は遅くて過飽和になって初めてSiが表面に吸着されるから依然としてSiはGaを置換しn型となる。

【0038】同一基板上であるのに平坦部BCではn型、傾斜部AB、CDではp型となる。しかもBC部は徐々に両側に拡大して行く。BC部ではSiはn型ドーパントになり、AB、CD部ではSiはp型となる。A

B、CDは両側に後退し、BCは広がる、ということはBCのn型が拡大するということである。溶液の温度が下がっているにもかかわらず、BC付近のn型域が広がりp型部分が狭くなる。そのような異常な成長運動が図2の楔型pn接合FGHIを形成するようになる。より厳密に議論しよう。横方向の成長速度をwとし、縦方向の成長速度をuとする。wは段からの横方向の成長であるからより高速である。uはBC面での過飽和を解消するための成長であるから低速である。これは当然に温度Tにもよる。過飽和は不安定な状態であり、過飽和を保持できる温度には限界があるからである。時間dtでB点は横方向(-x方向)にwdt移動し、縦方向(y方向)にudtだけ移動する。B点やC点の移動が図2の線分FG、IHを決めるのである。だから、線分FG、IHの傾角は $\tan^{-1}(u/w)$ である。

【0039】温度降下が進んで平坦部BCにおいてもSiがGaを置換できずAsを置換するようになる。その時にBCにおけるpn接合GHが形成される。このようにして図2の楔型のpn接合異常が形成される。

【0040】このような推論がもしも正しいとすれば、図3のような結晶方位の2乗歪をなくせば良いということになる。平坦部BCが初めからなければ良いのである。そうするにはBCの両側のAB、CDが同一方向に段部を持つようになれば良い。図3のような形状は実際に存在することもあるが、結晶格子の下向きの歪(上向きでなく)によって幾何学的な平面表面にも存在することができる。ミラーウエハは平坦で外見上歪みがないように見えても格子歪が存在するものである。

【0041】それでGaAs基板表面を初めから(100)面に対して有る程度傾けておけば図3のような平坦面BCが存在しないから異常な成長は起こらない筈である。何度傾けるか?ということは実験によらなければ分からない事である。図4に示した実験はGaAsウエハ約1万枚についてのものであるが、0.02°の面方位の傾斜によって殆どpn接合異常が起こらなくなっている。それは図3において傾斜部AB、CDの(100)面に対する傾斜角の最大値が0.02°程度だということの意味する。すると図3のような微視的な断面図において段部が両側になく、ただ一方だけに生じるから横成長だけが起こり、縦成長が起こらなくなる。つまり過飽和という状態もなくなる。だから温度とSiの伝導性の反転の関係も一義的になる。

【0042】本発明は楔型のpn接合異常を消去するためにGaAs基板を(100)から0.02°~0.2°傾斜させた表面をもつものにする。より好ましくは、0.03°~0.15°傾斜させた表面をもつものとする。つまり(100)からのオフアングルθを、 $0.02^{\circ} \leq \theta \leq 0.2^{\circ}$ とするのである。先に従来技術として挙げた⑤(特許第2914246号)が問題になる。⑤もSiドーパn型、p型のGaAs、AlGaAs薄

(7) 開2001-48694 (P2001-4865)

膜のpn接合の異常を問題にする。pn接合異常を⑤はイナズマ型サイリスタ構造と呼んでいる。図5にイナズマ型サイリスタとっているものを図示した。⑤はイナズマ型サイリスタの出現を防ぐため、 $0.5^\circ \sim 5^\circ$ のオフアングルGaAs基板を提案している。本発明もpn接合異常を防ぐため基板のオフアングルを提案している。がその角度が著しく異なる。本発明は $0.02^\circ \sim 0.2^\circ$ をよしとしている。上限の 0.2° というのは表面の荒れ、つまりステップの増加を防ぐために与えている。それ以上になると表面の凹凸が基だしくなって電極形成などに悪影響を及ぼす。⑤は⑥の下限を 0.5° としているが、それはエビウエハ表面に凹凸を引き起こし好ましくないと思われ、本発明者は考える。

【0043】どうして基板オフアングルの角度範囲に相違があるのか？それは対象になるpn接合異常が違うからである。図5に⑤のイナズマ型サイリスタの定義を示す。図6はイナズマ型サイリスタの生成を説明するための図である。⑤は図6に示すように初めから全体で結晶方位が傾斜している場合を想定している。本発明の図3に示すような中央平坦部BCのようなものは考えていない。先に本発明において、図2のFGの傾きは $\tan^{-1}(u/w)$ であると述べた。uはBCの縦成長速度、wは段での横成長速度である。本発明ではpn接合の傾斜角は一義的に決まる。 $\tan^{-1}(u/w)$ しかないのである。過飽和の終了によって水平のpn接合GHが生成されると、これとGFの交角も $\tan^{-1}(u/w)$ である。GHはEFに平行だからである。pn接合の傾斜が一つしかないので、本発明の場合はイナズマ型のサイリスタが発生しない。本発明が主に問題にするのは{100} ジャストBCの上方にできるエビ厚異常FI($2100\mu\text{m}$)なのであり、両側のサイリスタIH、GFはこれに付随するものである。つまり、二次曲線 $y = -\beta x^2$ の $x=0$ の近傍での傾斜だけを問題にする。{100} ジャスト部BCの直径をdとすると、{100} ジャスト部BC左での面の傾きは $-\beta d$ 、右での面の傾きは $+\beta d$ となる。異なる向きの傾きがあってはいけないので、本発明はウエハを初めから{100}より βd だけずらせるのである。

【0044】⑤はそうではなくて平坦部BCのようなものではない。図6のような傾斜面であるが、異なる幅の平坦部が傾斜の中に上下二つあるのである。二つの平坦部の間には段が存在しないとすると、だから、その間で飽和成長(p型層成長)が起こらないとする。上平坦部での縦方向成長速度 u_1 と下平坦部での縦方向成長速度 u_2 というものがある。過飽和度は上平坦部の方が低いので u_1 はより小さい。 $u_1 < u_2$ である。それぞれの平坦部はuとwの違いで斜めに成長してゆくと、その角度は $\tan^{-1}(u_1/w)$ と $\tan^{-1}(u_2/w)$ である。この傾斜が図5のイナズマ型pn接合の二つの線分の角度を与えるのである。 $\tan^{-1}(u_1/w) < \tan^{-1}(u_2/w)$ であるから二つの線はやがて交わる。それが図5のイナズマ型サイリスタの終点である。⑤はだから二次曲線 $y = -\beta x^2$ において初めから $x > 0$ の領域を問題にしている。イナズマ型サイリスタの範囲を $x = c \sim c+d$ とする(dはサイリスタ始点での幅)とこれを傾けて同じ高さにしようとするので $c+d/2$ での傾き $\beta(2c+d)$ だけ反対側に傾けると良い。イナズマ型サイリスタの始点での幅は様々である。サイリスタの頂点 $x=0$ からのずれをcとするが、これが本発明のpn接合異常の初期幅FIとほぼ同等とすると、⑥が必要とする傾斜角は、本発明の2倍以上だということになる。

【0045】このような訳で⑤は好ましい傾斜角が $0.5^\circ \sim 5^\circ$ となり、本発明の $0.02^\circ \sim 0.2^\circ$ とは頭等々に食い違ふのだからと思われる。要するにpn接合異常といっても⑤と本発明では異なるpn接合異常を見ているのである。⑤はイナズマ型サイリスタをつくる極めて希なpn接合の異常を問題にし、本発明はむしろ図2のFI間のような厚み異常を重視しているのである。その成因は相違し、それを回避する手段も異なる。だから好ましい傾斜角が相違するのはむしろ当たり前ということができよう。

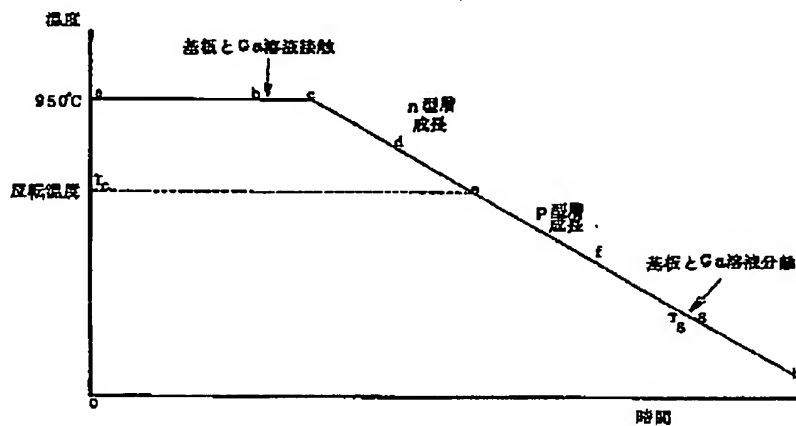
【0046】【発明の効果】{100}面から $0.02^\circ \sim 0.2^\circ$ のオフアングルのGaAs単結晶基板を用いてSiドーブGaAs、AlGaAsを液相エピタキシャル成長させる。オフアングルのために模倣pn接合異常が発生しない。また 0.2° 以下の小さなオフアングルであるから表面の荒れは無視できる程度である。電極形成の妨げになることはない。GaAsエピタキシャルウエハのLED基板としての利用効率を著しく高めることができる。

【図面の簡単な説明】
【図1】両性不純物であるSiをドーバントとして含むGaAs薄膜を液相エピタキシャル法で成長させるときの温度制御図。横軸が時間で縦軸が温度である。
【図2】液相エピタキシャル成長させたエビウエハの断面のpn接合図。
【図3】ステップと段を有するGaAs(100)基板の面上からのGaAs薄膜の液相エピ成長を説明するための説明図。
【図4】{100}からのズレ角(オフアングル)を $0^\circ \sim 0.25^\circ$ まで 0.01° 刻みになるようなGaAs基板を切り出して、その上にSiドーブGaAs薄膜を成長させ模倣pn接合が出現したウエハの割合を測定した結果を示すグラフ。横軸が模倣pn接合の出現頻度(%)、縦軸が{100}からのズレ角。
【図5】特許第2914246号の図1に記載されたイナズマ型サイリスタを説明するためのエビウエハ断面図。

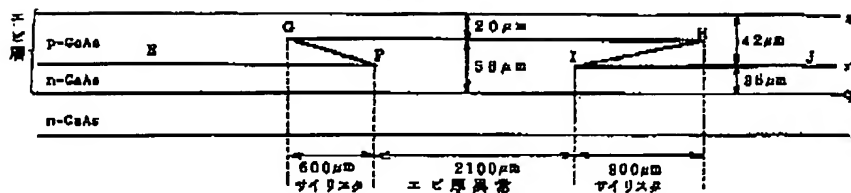
(8) 開2001-48694 (P2001-4865

【図6】 特許第2914246号の図3に記載されたエ
 ビ成長の方向と原子ステップの成長方向を説明するため
 のGaAsウエハの断面図。

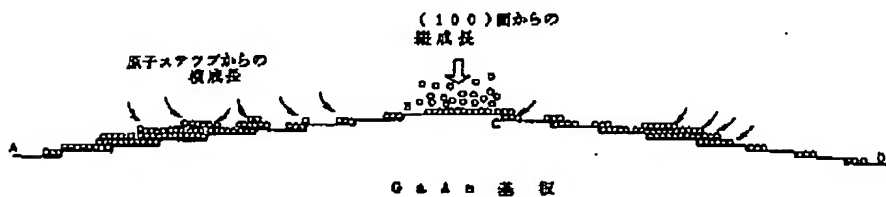
【図1】



【図2】

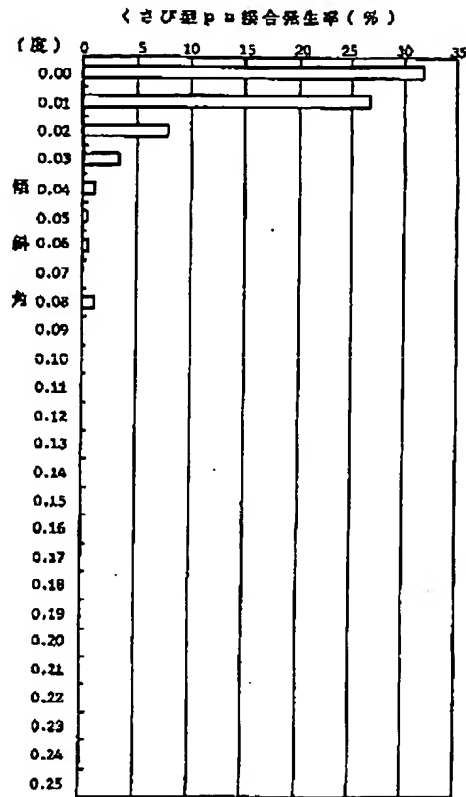


【図3】

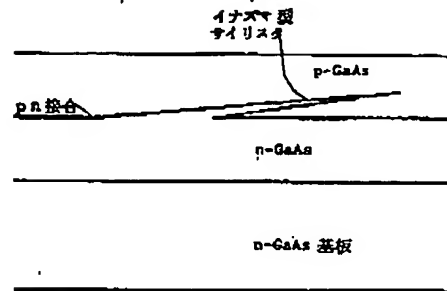


(9) 開2001-48694 (P2001-4865

【図4】



【図5】



【図6】

